

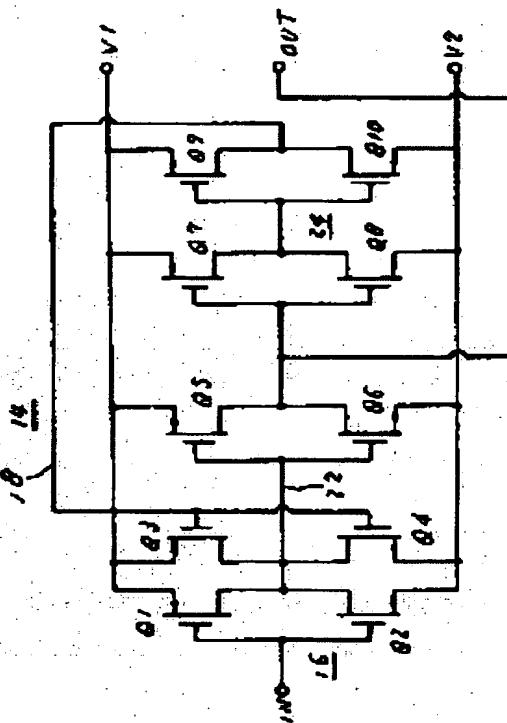
DIGITAL INPUT CIRCUIT

Patent number: JP59172826
Publication date: 1984-09-29
Inventor: MIZUKAMI MASAO
Applicant: HITACHI SEISAKUSHO KK
Classification:
 - international: H03K5/00; H03K3/295
 - european:
Application number: JP19830045933 19830322
Priority number(s):

Abstract of JP59172826

PURPOSE: To obtain a noise preventing circuit immune to the effect a high level noise having a short time width even without use of a high power supply voltage by applying positive feedback having a delay element to an amplifier in a signal transmission circuit having a hysteresis characteristic.

CONSTITUTION: C-MOSFET Q1-Q2 and Q5-Q6 of a digital input circuit 14 form an in-phase amplifier circuit 16 of two-stage constitution and C-MOSFET Q7-Q8, Q9-Q10 form the delay element 24. Positive feedback is applied to the circuit 16 via the delay element 24, a feedback path 18, C-MOSFET Q3-Q4 and its node 22. The delay time constant of the entire positive feedback path including the delay element 24 is set so as to be shorter than a pulse width of a normal input signal and longer than the width of noise superimposed on the input. Then, the transmission characteristic of the circuit 14 shows a hysteresis characteristic and the circuit 14 is not operated by a short time noise pulse with high level, allowing to improve considerably the noise blocking effect.



Data supplied from the esp@cenet database - Patent Abstracts of Japan

⑨ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭59—172826

⑩ Int. Cl.³
H 03 K 5/00
3/295

識別記号

府内整理番号
7232—5 J
6932—5 J

⑬ 公開 昭和59年(1984)9月29日

発明の数 1
審査請求 未請求

(全 6 頁)

④ デジタル入力回路

⑪ 特願 昭58—45933
⑫ 出願 昭58(1983)3月22日
⑬ 発明者 水上雅雄

小平市上水本町1450番地株式会社

社日立製作所デバイス開発センタ内

⑪ 出願人 株式会社日立製作所
東京都千代田区丸の内1丁目5番1号
⑬ 代理人 弁理士 高橋明夫 外1名

明細書

発明の名称 デジタル入力回路

特許請求の範囲

1. 腹歎特性を有する信号伝達回路によってデジタル入力信号をノイズから弁別するデジタル入力回路において、上記信号伝達回路は、増幅回路に正帰還をかけることにより腹歎特性を持たせられるとともに、その正帰還に遅延要素をもたせられていることを特徴とするデジタル入力回路。
2. 上記増幅回路はC-MOS電界効果トランジスタによって構成されていることを特徴とする特許請求の範囲第1項記載のデジタル入力回路。
3. 上記遅延要素は多段増幅回路の伝達遅延効果を用いて構成していることを特徴とする特許請求の範囲第1項または第2項記載のデジタル入力回路。

発明の詳細な説明

〔技術分野〕

この発明はデジタル入力信号をノイズから弁別するようにしたデジタル入力回路に関する。

〔背景技術〕

例えば第1図に示すように、大規模集積回路10では、外部入力端子I₁、I₂、I₃、…、I_nが接続されるボンディングパッドP₁、P₂、P₃、…、P_nと内部回路1-2の間に入出力バッファ部2-0を介在させる。このバッファ部2-0には個々の入力ライン毎にデジタル入力回路1-4、1-4、1-4、…が形成される。この入力回路1-4は、腹歎特性を有する信号伝達回路によって入力信号をノイズから弁別することができるよう構成される。具体的にはシムミットトリガーが使用される。このシムミットトリガーによるデジタル入力回路1-4は、第2図に示すように、増幅回路1-6の出力O_{UT}側から帰還路1-8を介して入力IN側に正帰還をかけることにより構成される。

第3図は、上記入力回路1-4のさらに具体的な例を示す。同図に示す入力回路1-4は、それぞれ電源V₁、V₂に接続された3組のC-MOS電界効果トランジスタQ₁-Q₂、Q₃-Q₄、Q₅-Q₆により構成されている。C-MOS電界効

果トランジスタ Q_1 - Q_2 および Q_3 - Q_4 は同相増幅回路 1-6 を形成する。その出力 OUT 側から入力 IN 側には、帰還路 1-8, C-MOS 電界効果トランジスタ Q_5 - Q_6 およびそのノード 22 を介して正帰還がかけられている。これにより、第 4 図に示すような履歴特性を有するようになっている。同図において、横軸の V_{in} は入力レベルを、縦軸の V_{out} は出力レベルをそれぞれ表わす。同図に示すように、出力 OUT の状態を "L" レベルから "H" レベルに反転させるための入力しきい値 V_{th1} と "H" レベルから "L" レベルに反転させるための入力しきい値 V_{th2} との間に差があり、これによりノイズマージンを算いで比較的低レベルの重複ノイズに対しては動作しないようになっている。ところが、第 5 図に示すように、極く短い時間幅であっても、上記入力しきい値 V_{th1} , V_{th2} を僅かでも越えるノイズ N_1 , N_2 が入力 IN 側に加算されると、正帰還により出力 OUT の論理レベルが "L" から "H" あるいは "H" から "L" に反転する状態が生じてしまう。

この発明の前記ならびにそのほかの目的と新規な特徴については、本明細書の記述および添付図面から明らかになるであろう。

〔発明の概要〕

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記のとおりである。

すなわち、履歴特性を有する信号伝達回路によってデジタル入力信号をノイズから弁別するデジタル入力回路において、上記信号伝達回路を、増幅回路に正帰還をかけることにより履歴特性を持たせるとともに、その正帰還に遅延要素をもたせて構成することにより、高い電源電圧を用いずにとも、比較的低レベルのノイズに対してはもちろんのこと、時間幅は短いが高レベルのノイズに対しても影響を受けないようにし、これによりノイズ阻止効果を向上させるという目的を達成するものである。

〔実施例〕

以下、この発明の代表的な実施例を図面を参照

このような反転状態が生じると、ノイズの影響は却って大きく現われるようさえなってしまう。このような比較的高レベルのノイズ N_1 , N_2 の影響も受けないようにするために、電源 V_1 , V_2 の電圧を高くして上記入力しきい値 V_{th1} , V_{th2} を十分に大きくしなければならない。しかし、大規模積層回路などの多くの回路では、その電源電圧が例えば 5 V といった比較的低い電圧に統一しなければならないものが多く、従って電源 V_1 , V_2 の電圧を高くして入力しきい値 V_{th1} , V_{th2} を大きくとるということは、実現が困難である。

〔発明の目的〕

この発明は以上のような問題を鑑みてなされたもので、その目的とするところは、高い電源電圧を用いずにとも、比較的低レベルのノイズに対してはもちろんのこと、時間幅は短いが高レベルのノイズに対しても影響を受けないようにし、これによりノイズ阻止効果のすぐれたデジタル入力回路を提供することにある。

しながら説明する。

なお、図面において同一あるいは相当する部分は同一符号で示す。

第 6 図はこの発明によるデジタル入力回路の一実施例を示す。同図に示すデジタル入力回路 1-4 は、履歴特性を有する信号伝達回路、すなわち一種のシムシットトリガーにより構成される。この信号伝達回路は、増幅回路 1-6 の出力 OUT 側から入力 IN 側に正帰還をかけるとともに、その帰還路 1-8 に遅延要素 2-4 をもたせることにより構成される。

第 7 図は上記デジタル入力回路 1-4 を C-MOS 電界効果トランジスタ Q_1 - Q_2 , Q_3 - Q_4 , Q_5 - Q_6 , Q_7 - Q_8 , Q_9 - Q_{10} を用いて構成した実施例を示す。各 C-MOS 電界効果トランジスタ Q_1 - Q_2 , Q_3 - Q_{10} はそれぞれ電源 V_1 , V_2 の間で直列に接続され、並列的に導通動作するようになっている。C-MOS 電界効果トランジスタ Q_1 - Q_2 , Q_3 - Q_4 は 2 段構成の同相増幅回路 1-6 を形成する。また、C-MOS

電界効果トランジスタ $Q_1 - Q_2, Q_3 - Q_{10}$ も 2段増幅回路を形成する。ただし、後者の 2段増幅回路は、その伝達に所定の遅延効果が生じるよう各 C-MOS 電界効果トランジスタのサイズや入出力容量が選ばれ、これにより一種の遅延要素 24 として機能するようになっている。前者の同相増幅回路 16 は、その出力 OUT 側から入力 IN 側に正帰還がかけられている。この正帰還は、遅延要素 24、帰還路 18、C-MOS 電界効果トランジスタ $Q_1 - Q_4$ およびそのノード 22 をそれぞれ介してかけられる。上記遅延要素 24 を含む正帰還路全体の遅延時定数は、正規の入力信号のパルス幅よりも短く、かつ入力に重畠するノイズの幅よりも長くなるように設定される。これにより、そのデジタル入力回路 14 の伝達特性は、先ず、正規の入力信号に対しては、第 8 図(a)に示すような履歴特性を示すようになる。同図において、横軸の V_{in} は入力レベルを、また縦軸の V_{out} は出力レベルをそれぞれ示す。つまり、一種のシミュレートリガーとして動作し、出力 OUT の状

態を "L" レベルから "H" レベルに反転させるための入力しきい値 V_{th1} と "H" レベルから "L" レベルに反転させるための入力しきい値 V_{th2} の間に差をもたせ、これにより正側および負側のいずれの方向からもノイズマージンを大きくとることができて、比較的低レベルのノイズの影響を受けないようにすることができる。ところが、第 8 図(c)に示すような履歴特性は、上記増幅回路 26 に正帰還がかかることにより生じるものであって、入力レベルの持続時間が短いと、その入力レベルが上記入力しきい値 V_{th1}, V_{th2} を越えていても、上記遅延要素 24 の遅延効果によって履歴特性を生じさせるための正帰還がかからない。このような短い持続時間の入力レベルの変化に対しては、上記入力回路 14 は、第 8 図(b)または(c)に示すように、単に線形の伝達特性を示すだけであって、出力 OUT のレベル状態は反転されることなく、その状態を保持し続ける。つまり、上記正帰還路の時定数よりも短い入力レベルの変化に対してはシミュレートリガーとして感動しない。これによ

り、第 9 図に示すように、時間幅は短いが入力しきい値 V_{th1}, V_{th2} を越える高レベルのノイズ N_1, N_2 が入力 IN に重畠されても、出力 OUT 側の状態は反転されない。これにより、無理に電源電圧を高めて入力しきい値レベルを大きくすることを行なわざとも、比較的低い電圧例えば 5 V といった電源電圧を用いても、十分なノイズ阻止効果を得ることができる。

第 10 図は上記デジタル入力回路 14 の好適な適用例を示す。同図に示すように、上記デジタル入力回路 14 は、C-MOS 構成の大規模半導体集積回路 10 の内部回路 12 とポンディングパッド部 $P_1, P_2, P_3, \dots, P_n$ の間に介在する入出力バッファ部 20 に個々の入力ライン毎に配設される。同図に示す半導体集積回路 10 は、そこに形成された多数のポンディングパッド部 $P_1 \sim P_n$ にそれぞれ外部引出し線が密集して接続されるため、引出し線間の誘導干渉などによってノイズが非常に重畠されやすくなっている。このような MOS 型半導体集積回路において、上記入力回

路 14 は、その履歴特性の時間選択性により、上記重畠ノイズを非常に効果的に阻止することができる。

〔効 果〕

以上のように、この発明によるデジタル入力回路は、高い電源電圧を用いずとも、比較的低レベルのノイズに対してはもちろんのこと、時間幅は短いが高レベルのノイズに対しても影響を受けないようにすることができ、これによりノイズ阻止効果を大幅に向上させることができる。

以上本発明者によってなされた発明を実施例にもとづき具体的に説明したが、この発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、上記デジタル入力回路 14 はバイポーラトランジスタを用いて構成することもできる。

〔利用分野〕

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野である MOS

型半導体集積回路について説明したが、それに限定されるものではなく、例えば、バイポーラ型半導体集積回路あるいは個別回路などにも適用できる。

図面の簡単な説明

第1図はデジタル入力回路の使用例を示す回路図である。

第2図はこの発明以外のデジタル入力回路の例を示す回路図である。

第3図は第2図の回路をさらに具体化した回路図である。

第4図は第3図の回路の伝達特性を示す図である。

第5図は第3図の回路の動作例を示すチャートである。

第6図はこの発明の実施例によるデジタル入力回路を示す回路図である。

第7図は第6図の回路をさらに具体化した回路図である。

(01-06)
第8図は第7図の回路の伝達特性を示す図であ

る。

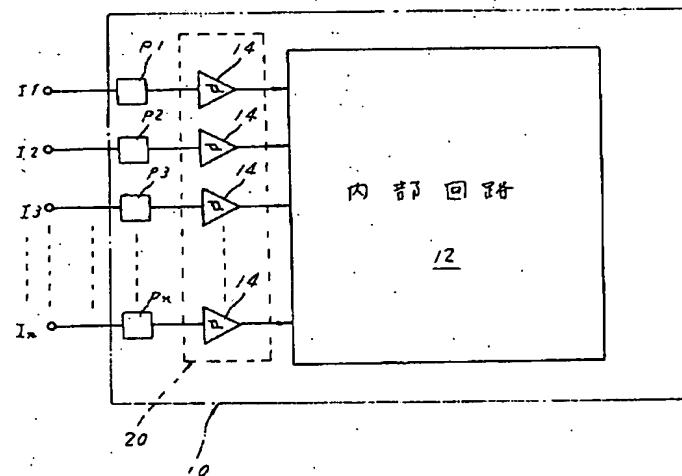
第9図は第7図の回路の動作例を示すチャートである。

第10図はこの発明によるデジタル入力回路の適用例を示す平面図である。

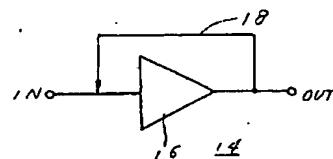
10…半導体集積回路、12…内部回路、14…デジタル入力回路、16…増幅回路、18…帰還路、20…入出力バッファ部、22…ノード、24…遅延要素、 $I_1 \sim I_n$ …入力端子、 $P_1 \sim P_n$ …ポンディングパッド部、 $Q_1 \sim Q_n$ …コンプリメンタリ回路を構成するC-MOS電界効果トランジスタ、 $N_1 \sim N_8$ …ノイズ、 V_{th1}, V_{th2} …入力しきい値、 V_1, V_2 …電源。

代理人弁理士高橋明夫

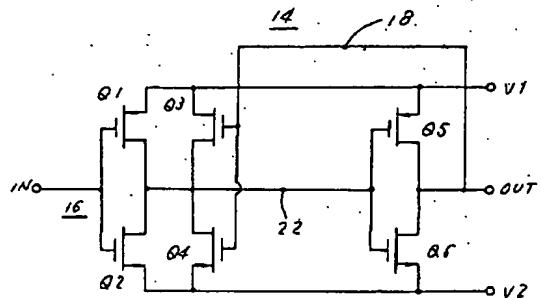
第1図



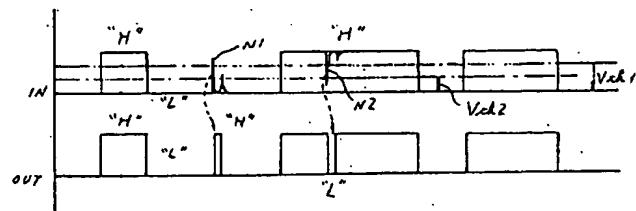
第2図



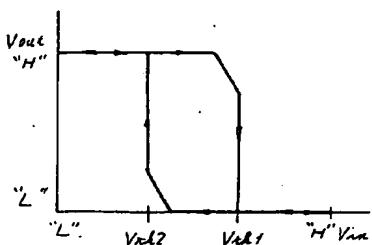
第 3 図



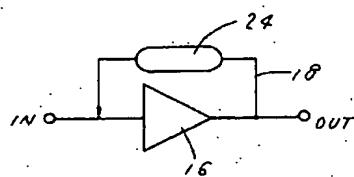
第 5 図



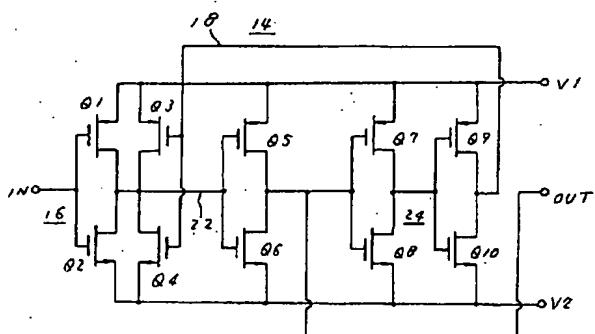
第 4 図



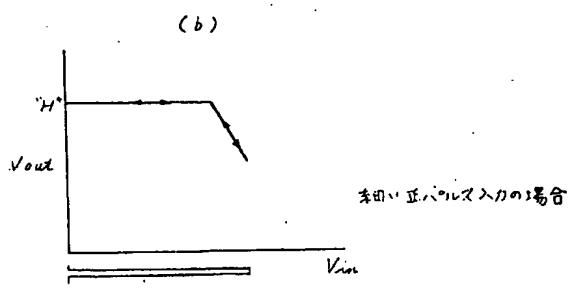
第 6 図



第 7 図

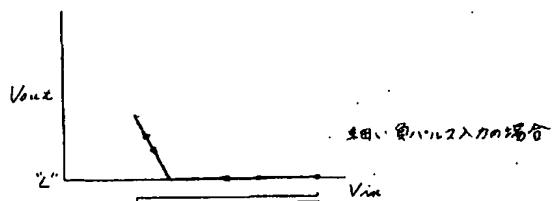
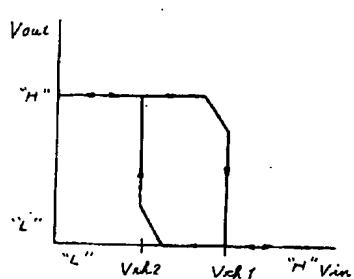


第 8 図

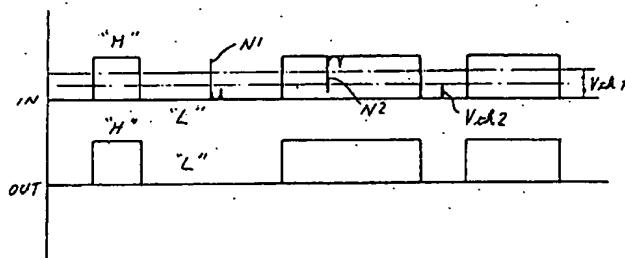


第 8 図

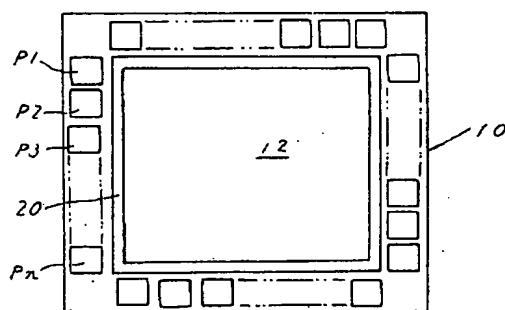
(a)



第 9 図



第 10 図



手 続 極 正 書 (方 式)

昭和 58 年 7 月 27 日

第 8 図

特許庁長官 告示
事件の表示

昭和 58 年 特許願 第 45933 号

発明の名称

デジタル入力回路

補正をする者

日本との關係 特許出願人

名 称 (51) 株式会社 日立製作所

代 理 人

氏 名 〒100 東京都千代田区丸の内一丁目5番1号
株式会社日立製作所内 郵便番号 212-1111 (大代表)

氏 名 (6189) 伊藤士高橋明夫

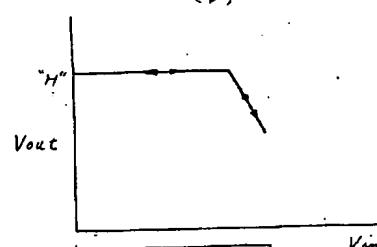
補正命令の日付 昭和 58 年 6 月 28 日

補正の対象
図面

補正の内容

図面第 8 図(b), (c)を別紙の通り補正します。58.7.27

(b)



(c)

